

3
7-9-01

J1033 U.S. PTO
09/846949
05/01/01

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

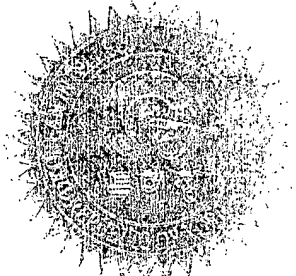
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2000년 제 32692 호
Application Number

출원 년 월 일 : 2000년 06월 14일
Date of Application

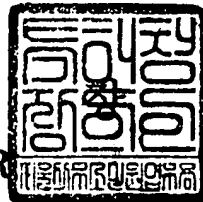
출원인 : 현대전자산업주식회사
Applicant(s)



2001 년 03 월 23 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.06.14
【발명의 명칭】	에이티엠 다중화/역다중화 장치에서 유토피아 레벨2 수행부와 유토피아 레벨1 수행부간 정합 장치
【발명의 영문명칭】	Interface between UT0PIA level 2 and UT0PIA level 1 in ATM mutiplexing/demultiplexing assembly
【출원인】	
【명칭】	현대전자산업 주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	문승영
【대리인코드】	9-1998-000187-5
【포괄위임등록번호】	1999-000829-7
【발명자】	
【성명의 국문표기】	윤창배
【성명의 영문표기】	YOON,CHANG BAE
【주민등록번호】	710105-1951311
【우편번호】	437-120
【주소】	경기도 의왕시 포일동 533-5 동부새롬아파트 101-804
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 문승영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	3 면 3,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	2 항 173,000 원
【합계】	205,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 IMT-2000 제어국의 기지국정합서브시스템(BIS) 내 ATM 다중화/역다중화 장치(ATM Multiplexing/Demultiplexing Assembly; AMDA)에서, 유토피아 레벨2 기능을 지원하는 UTOPIA 레벨2 수행부(다중화부)와 유토피아 레벨1 기능을 지원하는 UTOPIA 레벨1 수행부(프로세서) 사이에 정합 기능을 수행하는 장치를 제공하기 위한 것으로, 이러한 본 발명은 ATM 물리계층 기능을 수행하여 상기 다중화부와 상기 프로세서간 계층 정합시키고, 유토피아 레벨1과 유토피아 레벨2 간 정합 기능을 수행하여, 16비트 데이터 경로를 제공하는 유토피아 정합 제어부를 하나의 EPLD(Electrically Programmable Logic Devices)로 구현함으로써, 정보 교환이 고속으로 이루어질 수 있도록 하고 장치의 구성을 간략화시킬 수 있도록 한다.

【대표도】

도 5

【색인어】

IMT-2000제어국, BIS, AMDA, UTOPIA level1, UTOPIA level2, ATM계층, 물리계층

【명세서】**【발명의 명칭】**

에이티엠 다중화/역다중화 장치에서 유토피아 레벨2 수행부와 유토피아 레벨1 수행부
간 정합 장치{ Interface between UTOPIA level 2 and UTOPIA level 1 in ATM
multiplexing/demultiplexing assembly }

【도면의 간단한 설명】

도1은 일반적인 IMT-2000 제어국의 기지국정합서브시스템(BTS Interface
Subsystem; BIS)의 내부 블럭 구성도,

도2는 도1의 다중화기와 프로세서간 정합 장치 블럭 구성도,

도3은 본 발명이 적용되는 IMT-2000 제어국의 BIS 내부 블럭 구성도,

도4는 본 발명에 의한 ATM 다중화/역다중화 장치(AMDA)에서 UTOPIA 레벨2 수행부(
다중화기)와 UTOPIA 레벨1 수행부(프로세서)간 정합 장치 블럭 구성도,

도5는 본 발명에 의한 유토피아 정합 제어부 상세 구성도,

도6은 프로세서에서 유토피아 레벨 변환/제어부로 데이터 송신 시 송수신 신호 타이밍도,

도7은 프로세서에서 유토피아 레벨 변환/제어부로부터 데이터 수신시 송수신 신호 타이밍도,

도8은 다중화부에서 유토피아 레벨 변환/제어부로 데이터 송신시 송수신 신호 타이밍도,

<도면의 주요 부분에 대한 부호의 설명>

230: 유토피아 정합 제어부

234: 제2 16비트 송신 FIFO 235: 제1 16비트 수신 FIFO

236: 제2 16비트 수신 FIFO

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

23-4

을 간략화시킬 수 있는 ATM 다중화/역다중화 장치(AMDA)에서 UTOPIA 레벨2 수행부와 UTOPIA 레벨1 수행부간 정합 장치에 관한 것이다.

<16> 도1은 일반적인 IMT-2000 제어국에 위치하여, IMT-2000 기지국(Base Transceiver Station; BTS)과의 정합 기능을 수행하는 기지국정합서브시스템(BTS Interface Subsystem; BIS)의 내부 블록 구성을 보인다.

<17> 도시된 바와 같이, 일반적인 BIS는, 상기 BTS로부터 전송되는 ATM 셀을 AAL2 형태 ATM 셀과 AAL5 형태 ATM 셀로 분리하는 기능을 각각 수행하는 4개의 AFDA(ATM Frame/Deframe Assembly)(1-4)와; 상기 4개의 AFDA(1-4)로부터 전송되는 ATM 셀을 다중화하여 ATM 스위치(20)로 전송하고, 상기 ATM 스위치(20)로부터 전송되는 ATM 셀을 상기 4개의 AFDA(1-4)로 역다중화하는 AMDA(ATM Multiplexing/Demultiplexing Assembly)(10)로 구성된다.

<18> 상기 AMDA(10)는, 상기 4개의 AFDA(1-4)와 상기 ATM 스위치(20) 간 ATM 셀에 대해 AAL5 처리를 수행하는 프로세서(14)와; 상기 4개의 AFDA(1-4)와 AMDA(10)간에 ATM 셀을 셀버스를 통해 라우팅하기 위한 8비트 셀버스 정합부(11)와; 유토피아 레벨1 기능을 지원하고 ATM계층 기능을 수행하며, 상기 8비트 셀버스 정합부(11)에서 전송되는 ATM 셀을 상기 프로세서(14)로 전송될 셀과 ATM 스위치(20) 측으로 전송될 셀로 구분해주는 8비트 다중화기(12)와; 상기 8비트 다중화기(12)에서 전송되는 ATM 셀이 상기 프로세서(14)에서 AAL5 처리될 수 있도록 ATM 계층과 물리계층간 변환 기능을 수행하는 계층 변환부(13)와; 상기 8비트 다중화기(12)와 상기 ATM 스위치(20) 사이를 155Mbps로 인터페이스하기 위한 8비트 사용자-네트워크 정합부(User-Network Interface; UNI)(15)(16)로 구성된다.

- <19> 상기 계층 변환부(13)는 도2에 도시된 바와 같이, 상기 8비트 다중화기(12)와 상기 프로세서(14) 간 물리계층 정합을 수행하는 8비트 계층 변환부(13a)와; 상기 8비트 다중화기(12)와 상기 프로세서(14) 간에 8비트로 송수신되는 데이터를 임시 저장하기 위한 8비트 송신 FIFO(13b)와 8비트 수신 FIFO(13c)로 구성된다.
- <20> 상기와 같이 구성된 종래 AMDA에서, 8비트 다중화기(12)와 프로세서(14)는 각각 ATM 계층 기능을 수행하였다. 그래서 이 두 ATM 계층 기능 사이에 이를 정합해 줄 수 있는 물리계층 기능을 수행하는 계층 변환부(13)가 필요했다.
- <21> 또한 8비트 다중화기(12)와 프로세서(14)는 모두 유토피아 레벨1 기능을 지원하기 때문에, 계층 변환부(13)는 별도의 유토피아 레벨 정합을 수행할 필요가 없었다.
- <22> 그러나 유토피아 레벨 1 기능만을 지원하는 8비트 다중화부(13)를 구비한 AMDA는 트래픽 처리 수용량을 더이상 증가할 수 없었다. 그래서 IMT-2000 제어국의 AMDA에서 고속으로 정보 전송이 이루어질 수 없어, 고속의 서비스 제공이 어려웠던 문제점이 있었다.
- <23> 이에 AMDA의 다중화 디바이스에서 유토피아 레벨2를 지원하도록 하면, UNI를 증설할 수 있게 되어 용량이 증설되고 고속의 메시지 전송이 가능하게 된다.
- <24> 그런데 이렇게 다중화 디바이스에 유토피아 레벨 2 기능을 지원하도록 구현했을 경우, 유토피아 레벨 1 기능만을 지원하는 AMDA 프로세서와 인터페이스하기 위해서는, 기존의 계층 변환부에서는 유토피아 레벨 2과 유토피아 레벨 1 간 정합이 어려웠다.

【발명이 이루고자 하는 기술적 과제】

- <25> 이에 본 발명은 상기와 같은 종래 기술의 필요에 의해 제안된 것으로, 본 발명의 목적은
- <26> BIS의 ATM(Asynchronous Transfer Mode; 비동기 전송 모드) 다중화/역다중화 장치(ATM Multiplexing/Demultiplexing Assembly; AMDA)에서 유토피아 레벨2(Universal Test and Operations Physical Interface for ATM level 2) 기능을 지원하는 다중화부와 유토피아 레벨1을 지원하는 프로세서간에 정합 기능을 제공하는 장치를 하나의 EPLD(Electrically Programmable Logic Devices)로 구현함으로써, 정보 교환이 고속으로 이루어질 수 있도록 하고 장치의 구성을 간략화시킬 수 있는 ATM 다중화/역다중화 장치(AMDA)에서 UTOPIA 레벨2 수행부와 UTOPIA 레벨1 수행부간 정합 장치를 제공하는 데 있다.
- <27> 상기와 같은 목적을 달성하기 위하여 본 발명에 의한 ATM 다중화/역다중화 장치(AMDA)에서 UTOPIA 레벨2 수행부와 UTOPIA 레벨1 수행부간 정합 장치는,
- <28> 유토피아 레벨2 기능을 지원하고 ATM계층 기능을 수행하는 UTOPIA 레벨2 수행부(다중화부)와, ATM 계층 기능을 수행하고 유토피아 레벨1 기능을 지원하는 UTOPIA 레벨1 수행부(프로세서)를 구비한 ATM 다중화/역다중화 장치에 있어서,
- <29> ATM 물리계층 기능을 수행하여 상기 다중화부와 상기 프로세서간 계층 정합시키고, 유토피아 레벨1과 유토피아 레벨2 간 정합 기능을 수행하여, 16비트 데이터 경로를 제공하는 유토피아 정합 제어부로 구성됨을 그 기술적 구성상의 특징으로 한다.

【발명의 구성 및 작용】

- <30> 이하, 상기와 같은 본 발명에 의한 ATM 다중화/역다중화 장치(AMDA)에서 UTOPIA 레벨2 수행부와 UTOPIA 레벨1 수행부간 정합 장치를 첨부된 도면에 의거 상세히 설명하면 다음과 같다.
- <31> 본 발명은 AMDA 내 다중화기를 UTOPIA 레벨2 인터페이스를 사용하는 2개의 포트와 MPC860 프로세서 사이에서 인터페이스를 위한 EPLD를 설계하여, 유토피아 레벨간 전환 및 ATM 계층-물리계층간 전환을 동시에 수행하도록 한다. 또한 레벨 전환시 프로세서의 ATM 셀 헤더 내에 있는 GFC(Generic Flow Control) 필드를 사용해 포트를 식별하도록 한다. 이러한 기술은 AMS(ATM Multiplexing/Demultiplexing Subsystem)의 STIA(Selector/Transcoder Interface Assembly)에서도 응용 가능하다.
- <32> 도3은 본 발명이 적용되는 IMT-2000 제어국의 BIS 블록 구성을 보인다. 각 AFDA(100-107)는 도1에 도시된 AFDA의 기능과 동일한 기능을 수행하며, 단, 종래보다 더 많은 개수인 8개가 구비된다. 이 BIS의 전반적인 설명은 생략하고 특히 본 발명에서 두드러지는 디바이스에 대해 설명한다.
- <33> 다중화부(220)는, 유토피아 레벨2 기능을 지원하고 ATM계층 기능을 수행하며, 셀버스 정합부(210)와 UNI들(250-256) 간에 전송되는 ATM 셀과 내부 프로세서(240)에서 사용될 ATM 셀로 다중화,역다중화 기능을 수행한다.
- <34> 그리고 프로세서(240)는, ATM 계층 기능을 수행하여 AMDA(200)의 전반적인 제어를 수행하고, 유토피아 레벨1 기능을 지원한다.
- <35> 또한 유토피아 정합 제어부(230)는, ATM 물리계층 기능을 수행하여 상기 다중화부

(220)와 상기 프로세서(240)간 계층 정합시키고, 유토피아 레벨1과 유토피아 레벨2 간 정합 기능을 수행하여, 16비트 데이터 경로를 제공한다.

<36> 상기 유토피아 정합 제어부(230)는 도4에 도시된 바와 같이, 상기 다중화부(220)와 상기 프로세서(240) 간 송수신될 데이터를 임시 저장하기 위한 16비트 송신 FIFO(233)(234) 및 16비트 수신 FIFO(235)(236)와; 상기 다중화부(220)와 유토피아 레벨 2 제어 신호를 송수신하여, 16비트 데이터가 상기 다중화부(220)와 상기 16비트 송신 FIFO(233)(234) 및 16비트 수신 FIFO(235)(236) 간에 송수신될 수 있도록 하고, 상기 프로세서(240)와 유토피아 레벨 1 제어 신호를 송수신하여, 16비트 데이터가 상기 프로세서(240)와 상기 16비트 송신 FIFO(233)(234) 및 16비트 수신 FIFO(235)(236) 간에 송수신될 수 있도록 하는 유토피아 레벨 변환/제어부(231)로 구성된다.

<37> 상기와 같은 본 발명에 의한 ATM 다중화/역다중화 장치(AMDA)에서 UTOPIA 레벨2 수행부와 UTOPIA 레벨1 수행부간 정합 장치의 작용을 첨부된 도면 도6 내지 도9에 의거 설명하면 다음과 같다.

<38> 제1 16비트 송신 FIFO(233), 제2 16비트 송신 FIFO(234)는 ATM 계층 기능 수행부 즉, 다중화부(220)와 프로세서(240)로부터 받은 16비트 데이터를 임시 저장한다. 그리고 유토피아 레벨 변환/제어부(231)는 물리계층 기능을 포함하여 수행한다. 또한 제1 16비트 수신 FIFO(235), 제2 16 비트 수신 FIFO(236)는 물리계층 기능 수행부 즉 유토피아 레벨 변환/제어부(231)로부터 받은 16비트 데이터를 임시 저장한다.

<39> 먼저, 다중화부(220)(ATM 계층)에서 유토피아 레벨 변환/제어부(231)(물리계층)로 16비트 데이터 송신의 경우에 대해 설명한다.

- <40> 다중화부(220)는 입력받은 ATM 셀이 AMDA(200)내부 프로세서(240)로 전송될 셀이면, 이 ATM셀 헤더 내의 GFC(Generic Flow Control) 필드를 검사하여, 어느 포트로 갈 것인지를 판단한다. 그래서 해당 포트 어드레스(TxAddr)를 도8에 도시된 바와 같이 띄운다.
- <41> 그러면, 유토피아 레벨 변환/제어부(231)는 그 포트 지정을 위한 어드레스를 디코딩하여 해당 16비트 송신 FIFO가 받을 공간이 있음을 알리는 신호(Tx_Clav)를 active high로 다중화부(220)로 전송한다.
- <42> 이때 다중화부(220)는 전송16비트 데이터(Txdata)에 유효한 데이터가 포함되어 있음을 알리는 신호(TxEnb*)를 active low로 전송하고, Txdata 중 셀의 첫번째 유효한 바이트가 포함되어 있음을 알리는 신호(TxSOC)를 전송하여, 해당 16비트 송신 FIFO를 통해 Txdata를 송신하게 된다. 여기서 Tx_Enb*에 따라 데이터 전달을 일시 중단 또는 전달을 제어할 수 있다.
- <43> 다음으로, 다중화부(220)(ATM 계층)에서 유토피아 레벨 변환/제어부(231)(물리계층)로부터 16비트 데이터 수신에 대해 설명한다.
- <44> ATM계층(다중화부(220))은 물리계층 포트를 감시하고 있다가 16비트 수신 FIFO가 채워져 있다는 것을 감지하면 도9에 도시된 바와 같이, 어드레스(RxAddr)를 띄운다.
- <45> 유토피아 레벨 변환/제어부(231)는 16비트 수신 FIFO에서 데이터를 가지고 있다는 것을 Rx_clav에 의해 ATM 계층 기능 수행부(다중화부(220))에게 알려준다.
- <46> 다중화부(220)에서 Rx_enb(Rxdata에 유효한 셀 데이터가 포함되어 있음을 알리는

신호)를 띄우고, 16비트 데이터(Rxdata)를 받기 시작하고 헤더의 시작 부분을 알리기 위해 Rx_soc를 띄운다. 그래서 다중화부(220)에서 유토피아 레벨 변환/제어부(231)로부터 16비트 데이터를 유토피아 레벨 2 정합하여 전송받을 수 있게 된다.

<47> 다음으로, 프로세서(240)(ATM계층)에서 유토피아 레벨 변환/제어부(231)(물리계층)로 16비트 데이터 송신의 경우에 대해 설명한다.

<48> 프로세서(240)가 ATM 셀 헤더 내의 GFC를 보고 어느 포트에 갈 것 인지를 판단하여 해당 16비트 수신 FIFO로 데이터를 넣는다.

<49> 그리고 도6에 도시된 바와 같이, 해당 16비트 수신 FIFO로부터 받을 공간이 있음을 알려주는 Tx_clav가 active high로 되면 동작을 시작한다. 프로세서(240)에서 Tx_enb*를 active low로 출력하고 16비트 데이터(Rxdata)가 클럭(Rxclk)에 맞춰 전송되며 셀 헤더를 표시하는 Tx_soc가 high active 된다. 그래서 프로세서(240)에서 유토피아 레벨 변환/제어부(231)로 16비트 데이터를 유토피아 레벨 1 정합하여 전송할 수 있게 된다. 여기서 Tx_enb*에 따라 데이터 전달을 일시 중단 또는 전달을 제어할 수 있다.

<50> 마지막으로, 프로세서(240)(ATM계층)에서 유토피아 레벨 변환/제어부(231)(물리 계층)로부터 16비트 데이터 수신에 대해 설명한다.

<51> 유토피아 레벨 변환/제어부(231)는 도7에 도시된 바와 같이, 해당 16비트 수신 FIFO에서 전송할 16비트 데이터를 가지고 있다는 신호(Rx_clav)를 프로세서(240)에 전송한다.

<52> 그리고 프로세서(240)는 Rx_enb*를 active low로 출력하고 16비트 데이터를 받기 시작하고 헤더의 시작 부분을 알리기 위해 Rx_soc를 띄운다. 그래서 프로세서(240)는 유토피아 레벨 변환/제어부(231)로부터 유토피아 레벨 1 정합하여 16비트의 데이터를 전송 받게 된다.

【발명의 효과】

<53> 이상에서 살펴본 바와 같이, 본 발명 ATM 다중화/역다중화 장치(AMDA)에서 UTOPIA 레벨2 수행부와 UTOPIA 레벨1 수행부간 정합 장치는, BIS의 ATM(Asynchronous Transfer Mode; 비동기 전송 모드) 다중화/역다중화 장치(ATM Multiplexing/Demultiplexing Assembly; AMDA)에서 유토피아 레벨2(Universal Test and Operations Physical Interface for ATM level 2) 기능을 지원하는 다중화부와 유토피아 레벨1을 지원하는 프로세서간에 정합 기능을 제공하는 장치를 하나의 EPLD(Electrically Programmable Logic Devices)로 구현함으로써, 정보 교환이 고속으로 이루어질 수 있도록 하고 장치의 구성을 간략화시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

IMT-2000 제어국 내 기지국정합서브시스템(BIS)에서, 유토피아 레벨2 기능을 지원하고 ATM계층 기능을 수행하는 UTOPIA 레벨2 수행부(다중화부)와, ATM 계층 기능을 수행하고 유토피아 레벨1 기능을 지원하는 UTOPIA 레벨1 수행부(프로세서)를 구비한 ATM 다중화/역다중화 장치에 있어서,

ATM 물리계층 기능을 수행하여 상기 다중화부와 상기 프로세서간 계층 정합시키고, 유토피아 레벨1과 유토피아 레벨2 간 정합 기능을 수행하여, 16비트 데이터 경로를 제공하는 유토피아 정합 제어부로 구성된 것을 특징으로 하는 ATM 다중화/역다중화 장치 (AMDA)에서 UTOPIA 레벨2 수행부와 UTOPIA 레벨1 수행부간 정합 장치.

【청구항 2】

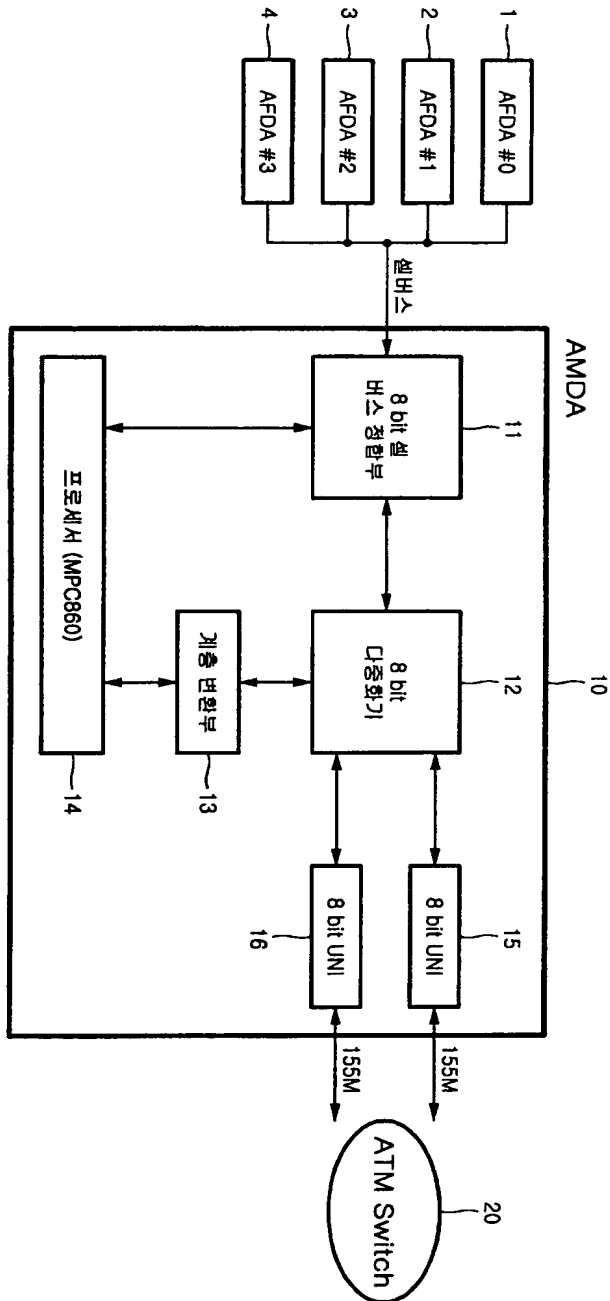
제 1 항에 있어서, 상기 유토피아 정합 제어부는,

상기 다중화부와 상기 프로세서 간 송수신될 데이터를 임시 저장하기 위한 16비트 송신 FIFO 및 16비트 수신 FIFO와; 상기 다중화부와 유토피아 레벨 2 제어 신호를 송수신하여, 16비트 데이터가 상기 다중화부와 상기 16비트 송신 FIFO 및 16비트 수신 FIFO 간에 송수신될 수 있도록 하고, 상기 프로세서와 유토피아 레벨 1 제어 신호를 송수신하여, 16비트 데이터가 상기 프로세서와 상기 16비트 송신 FIFO 및 16비트 수신 FIFO 간에 송수신될 수 있도록 하는 유토피아 레벨 변환/제어부로 구성된 것을 특징으로 하는 ATM

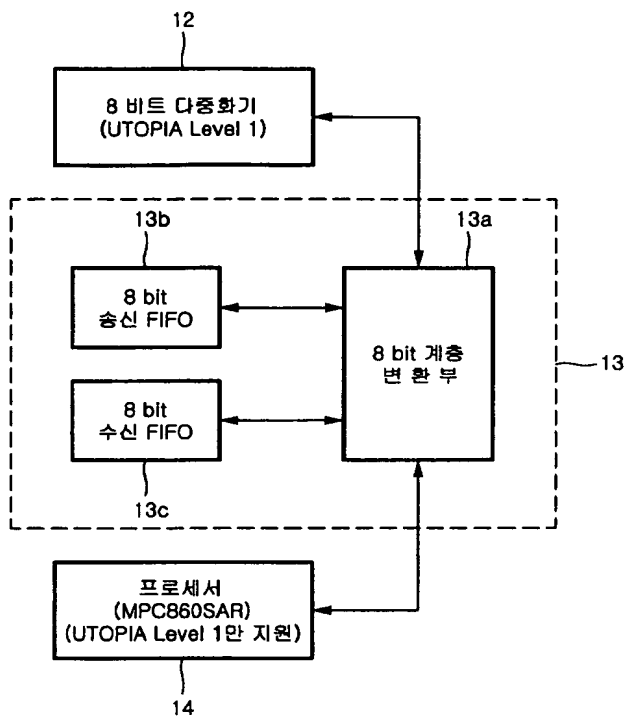
다중화/역다중화 장치(AMDA)에서 UTOPIA 레벨2 수행부와 UTOPIA 레벨1 수행부간 정합 장치.

【도면】

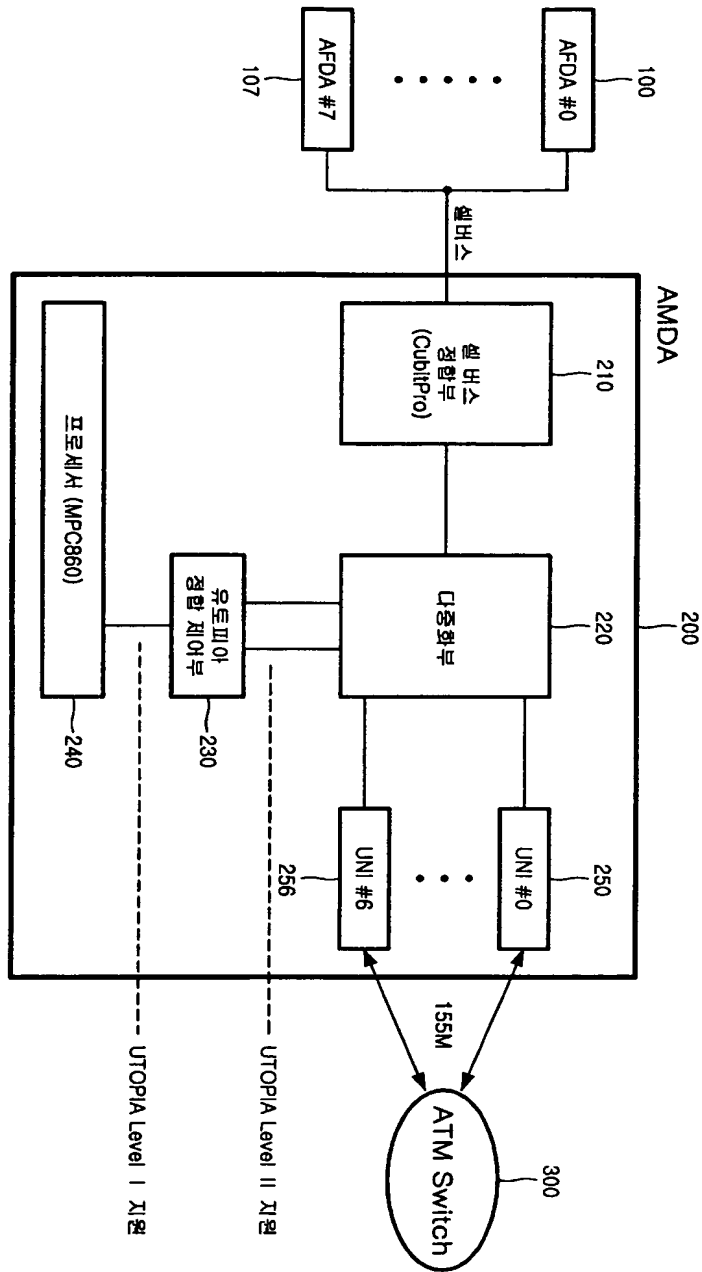
【도 1】



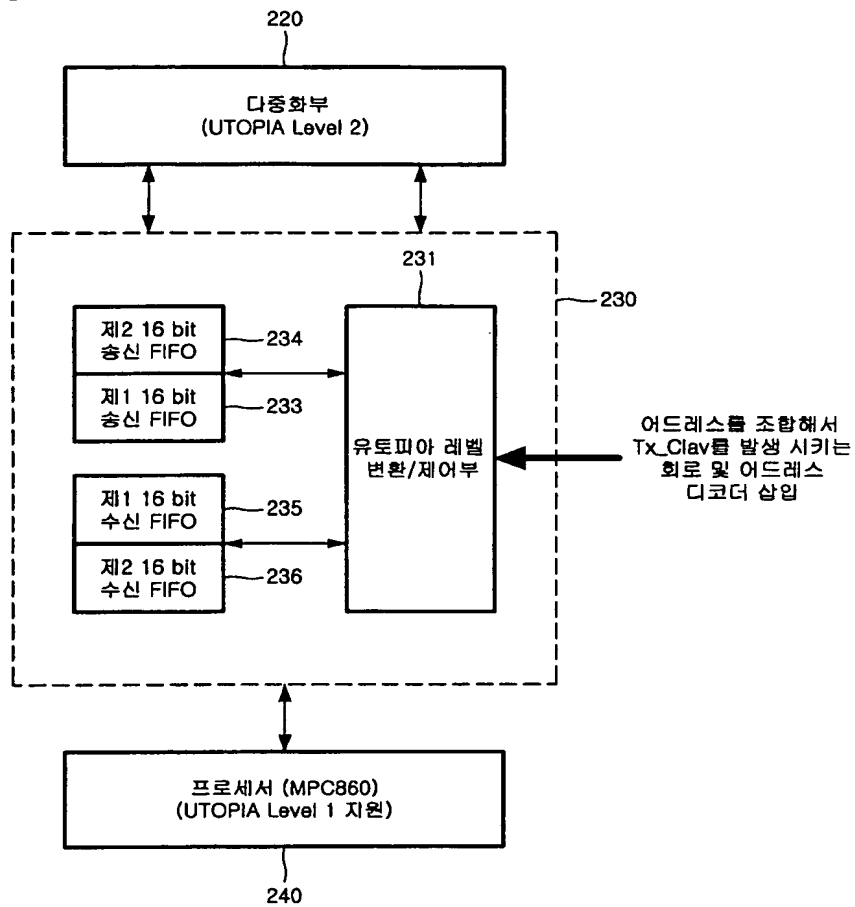
【도 2】



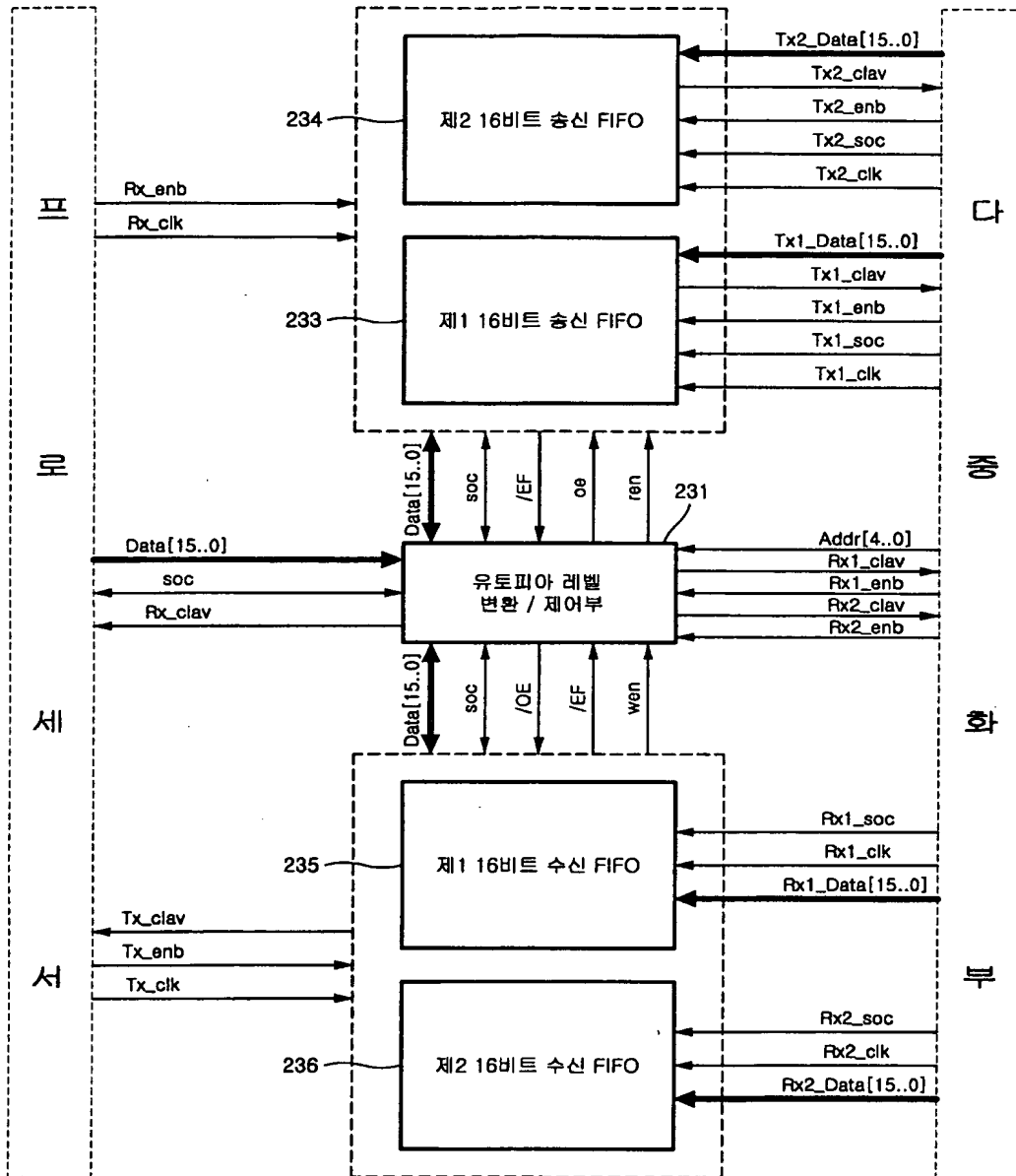
【도 3】



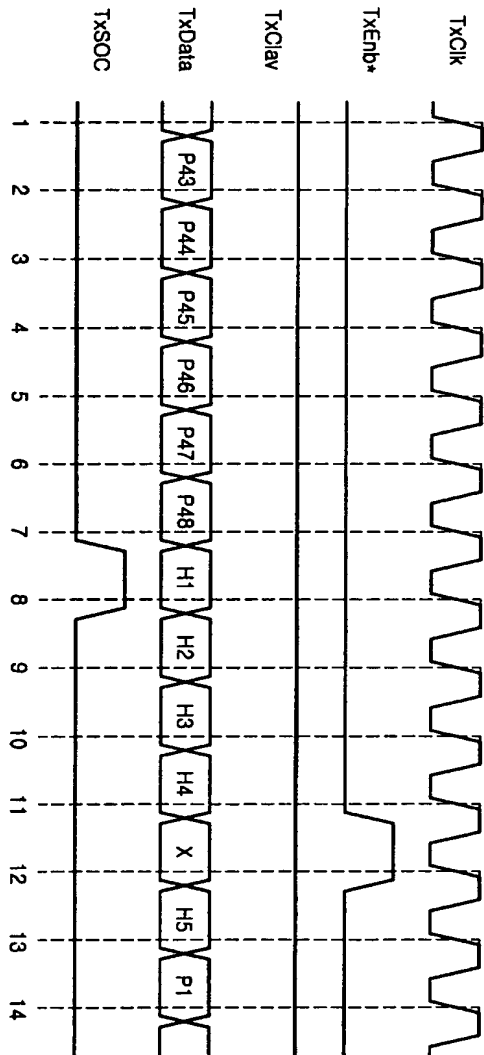
【도 4】



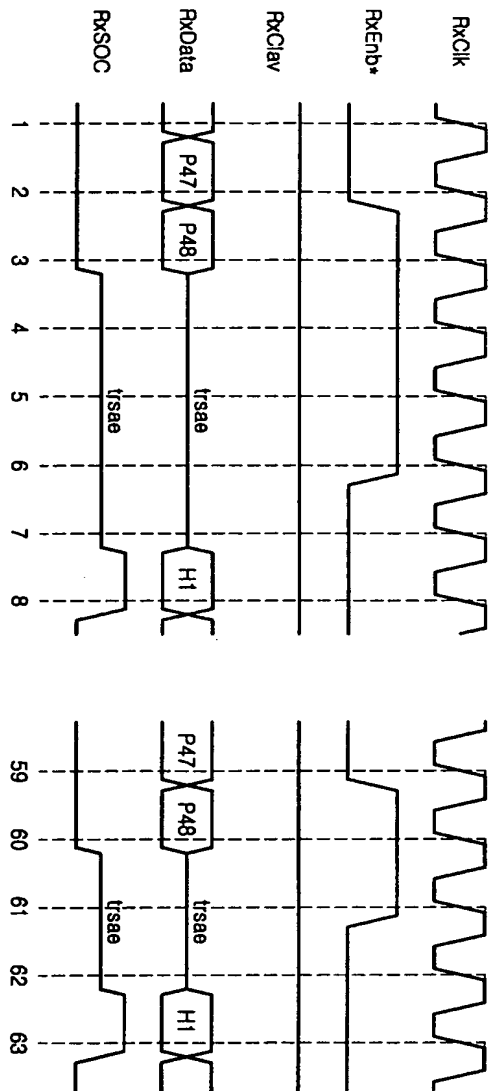
【도 5】



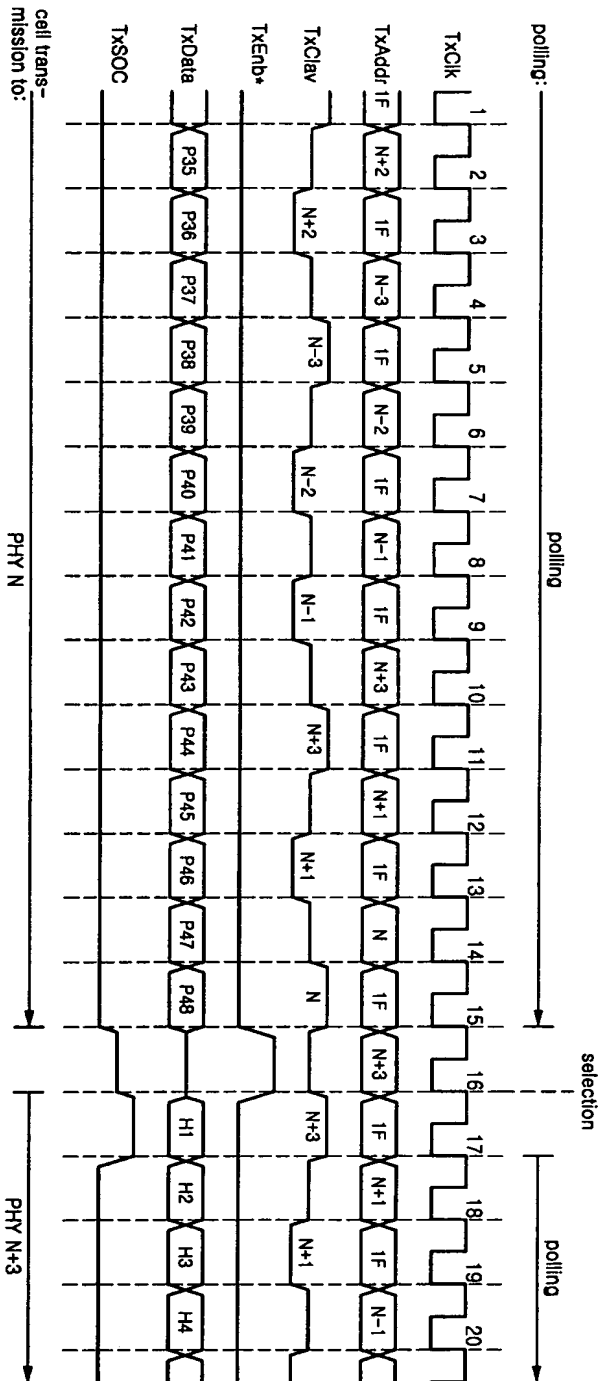
【图 6】



【도 7】



【H】



The diagram illustrates the timing relationship between PHY N and PHY N+3. It is divided into three main sections: **polling** (lines 1-14), **selection** (lines 15-16), and **polling** (lines 17-20). The signals shown are:

- RxCik**: A clock signal with a period of 1 unit.
- RxAddIn+2**: A signal that is 1F (Frame) for odd-numbered lines (1, 3, 5, 7, 9, 11, 13, 15, 17, 19) and N-3 for even-numbered lines (2, 4, 6, 8, 10, 12, 14, 16, 18, 20).
- RxCiav**: A signal that is N+2 for odd-numbered lines (1, 3, 5, 7, 9, 11, 13, 15, 17, 19) and N-3 for even-numbered lines (2, 4, 6, 8, 10, 12, 14, 16, 18, 20).
- RxEhb***: A signal that is N-1 for odd-numbered lines (1, 3, 5, 7, 9, 11, 13, 15, 17, 19) and N-2 for even-numbered lines (2, 4, 6, 8, 10, 12, 14, 16, 18, 20).
- RxDData**: A signal that is P35 for odd-numbered lines (1, 3, 5, 7, 9, 11, 13, 15, 17, 19) and P36 for even-numbered lines (2, 4, 6, 8, 10, 12, 14, 16, 18, 20).
- RxSOC**: A signal that is P40 for odd-numbered lines (1, 3, 5, 7, 9, 11, 13, 15, 17, 19) and P41 for even-numbered lines (2, 4, 6, 8, 10, 12, 14, 16, 18, 20).

The diagram also shows the **cell trans-**mission to: PHY N (lines 1-14) and PHY N+3 (lines 17-20).